

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-56667

(P2001-56667A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
G 0 9 G 3/30		C 0 9 G 3/30	J 3 K 0 0 7
3/20	6 2 4	3/20	6 2 4 B 5 C 0 8 0
// H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平11-231493

(22) 出願日 平成11年8月18日 (1999.8.18)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 高山 一郎

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100087865

弁理士 石井 陽一

Fターム (参考) 3K007 AB03 BA06 BB07 CA02 DA00

DB03 EB00 FA01 FA03

5C080 AA06 BB05 DD30 EE29 FF11

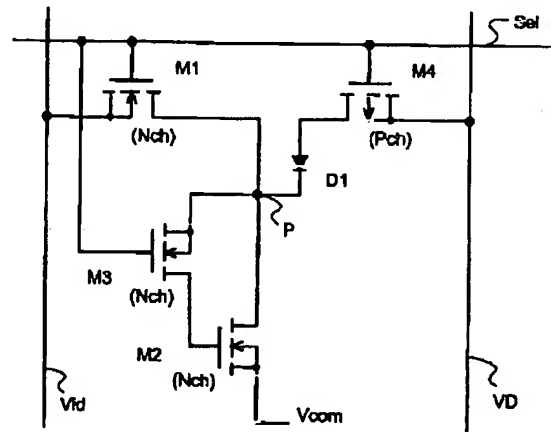
JJ02 JJ03 JJ05 JJ08

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 Poly-Siの粒径による特性のばらつきの影響をなくし、表示面のばらつきを改善する。

【解決手段】 表示素子と接続され、これを直接駆動する第2のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の一方の被制御端子と制御端子とを接続する第3のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の他方の被制御端子に駆動信号を与える導通路を形成する第1のスイッチング素子とを有し、選択時に前記第2のスイッチング素子と第3のスイッチング素子とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子に駆動電流に対応した駆動信号を与え、非選択時にこれを第2のスイッチング素子の特性に応じた第2のスイッチング素子の動作電圧として保持して前記表示素子を駆動する駆動電流記憶手段を有する画像表示装置とした。



## 【特許請求の範囲】

【請求項1】 表示素子と接続され、これを直接駆動する第2のスイッチング素子と、  
選択信号により能動状態となり、前記第2のスイッチング素子の一方の被制御端子と制御端子とを接続する第3のスイッチング素子と、  
選択信号により能動状態となり、前記第2のスイッチング素子の他方の被制御端子に駆動信号を与える導通路を形成する第1のスイッチング素子とを有し、  
選択時に前記第2のスイッチング素子と第3のスイッチング素子とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子に駆動電流に対応した駆動信号を与え、  
非選択時にこれを第2のスイッチング素子の特性に応じた第2のスイッチング素子の動作電圧として保持して前記表示素子を駆動する駆動電流記憶手段を有する画像表示装置。

【請求項2】 前記表示素子は、電流駆動され、この駆動電流に応じた発光を行う請求項1の画像表示装置。

【請求項3】 前記駆動信号は、駆動電流に応じた電流信号として与えられ、かつこれを第2のスイッチング素子の被制御端子に与えることにより、そのI/V特性から得られた電圧値を保持する請求項1または2の画像表示装置。

【請求項4】 前記発光素子と接続され、選択信号により禁止状態となり、非選択時に前記発光素子を電源と接続する第4のスイッチング素子を有する請求項1～3のいずれかの画像表示装置。

【請求項5】 前記第1のスイッチング素子と第2のスイッチング素子との間には駆動信号を電圧/電流変換するための容量成分を有し、  
前記駆動信号は駆動電流に対応した電圧信号として与えられるとともに、前記容量成分によりこの駆動信号を電圧/電流変換して第2のスイッチング素子に与える請求項1～4のいずれかの画像表示装置。

【請求項6】 前記駆動信号は、前記表示素子の駆動電流に対応した増加率を有するのこぎり波状の形である請求項5の画像表示装置。

【請求項7】 前記表示素子と電源との間に配置され、選択信号により禁止状態となり、非選択時に表示素子と電源とを接続する第4のスイッチング素子を有する請求項5または6のいずれかの画像表示装置。

【請求項8】 その制御端子が選択線Selに接続されるとともに、被制御端子の一端が表示素子の一端と、第3のスイッチング素子の被制御端子の他端と、第2のスイッチング素子の被制御端子の一端とに接続され、その被制御端子の他端が駆動信号を与えるビデオ信号線と接続されている第1のスイッチング素子と、  
その制御端子が選択線と接続され被制御端子の一端が第2のスイッチング素子の制御端子と接続され、その被制

御端子の他端が前記第1のスイッチング素子の被制御端子の一端と、表示素子の一端と、第2のスイッチング素子の被制御端子の一端とに接続されている第3のスイッチング素子と、

その被制御端子の他端が、接地線に接続され、その被制御端子の一端が、表示素子の一端と、第3のスイッチング素子の被制御端子の他端と、第1のスイッチング素子の被制御端子の一端とに接続されている第2のスイッチング素子と、

その制御電極が選択線と接続され、被制御端子の一端が表示素子の他端と接続され、その他端は電源線と接続されている第4のスイッチング素子と、  
これらのスイッチング素子により駆動される表示素子とを有する画像表示装置。

【請求項9】 その制御端子が選択線に接続されるとともに、被制御端子の一端が容量の一端に接続され、その被制御端子の他端は、駆動信号を与えるビデオ信号線と接続されている第1のスイッチング素子と、  
その制御端子が、選択線と接続され、被制御端子の他端は、容量の他端と、第4のスイッチング素子の被制御端子の他端と、第2のスイッチング素子の被制御端子の一端と接続され、その被制御端子の一端は、第2のスイッチング素子の制御端子と接続されている第3のスイッチング素子と、

その被制御端子の他端は、電源線と接続され、その被制御端子の一端は、第3のスイッチング素子の被制御端子の他端と、容量の他端と、第4のスイッチング素子の被制御端子の他端と接続されている第2のスイッチング素子と、

その被制御端子の他端は、第3のスイッチング素子の被制御端子の他端と、容量の他端と、第2のスイッチング素子の被制御端子の一端と接続され、その制御電極は、選択線と接続され、その被制御端子の一端は、表示素子の他端と接続されている第4のスイッチング素子と、  
その一端が、接地線と接続され、これらのスイッチング素子により駆動される表示素子とを有する画像表示装置。

【請求項10】 前記第1のスイッチング素子～第3のスイッチング素子はポリシリコンTFTである請求項1ないし9のいずれかの画像表示装置。

【請求項11】 前記表示素子は、有機EL素子である請求項1～10のいずれかの画像表示装置。

【請求項12】 前記選択線から選択信号を入力している期間にビデオ信号線から駆動信号を入力し、非選択時に表示素子を駆動する請求項1～11のいずれかの画像表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像表示装置に関し、特に有機エレクトロルミネセンス(EL)表示装置

に好適な、高画質の画像表示装置に関する。

【0002】

【従来の技術】近年において、有機EL素子を用いた表示装置が開発されている。有機EL素子を多数使用した有機EL素子装置をアクティブマトリクス回路により駆動する場合、各ELのピクセル（画素）には、このピクセルに対して供給する電流を制御するための薄膜トランジスタ（TFT）の如きFET（電界効果トランジスタ）が一組ずつ接続されている。すなわち有機EL素子に駆動電流を流すバイアス用のTFTと、そのバイアス用TFTを選択すべきを示すスイッチ用のTFTが一組ずつ接続されている。

【0003】従来のアクティブマトリクス型の有機EL表示装置の回路図の一例を図17、18に示す。この有機EL表示装置は、X方向信号線X1、X2…、Y方向信号線Y1、Y2…、電源Vdd線Vdd1、Vdd2…、スイッチ用TFTトランジスタTy11、12、Ty21、22…、電流制御用TFTトランジスタM11、12、M21、22…、有機EL素子EL110、120、EL210、220…、コンデンサC11、12、C21、22…、X方向周辺駆動回路12、Y方向周辺駆動回路13等により構成される。

【0004】X方向信号線X1、X2、Y方向信号線Y1、Y2により画素が特定され、その画素においてスイッチ用TFTトランジスタTy11、12、Ty21、22がオンにされてその信号保持用コンデンサC11、12、C21、22に画像データが保持される。これにより、電流制御用のTFTのTFTトランジスタM11、12、M21、22がオンにされ、電源線Vdd1、Vdd2により有機EL素子EL110、120、EL210、220に画像データに応じたバイアス用の電流が流れ、これが発光される。

【0005】例えばx方向信号線X1に画像データに応じた信号が出力され、Y方向信号線Y1にY方向走査信号が出力されると、これにより特定された画素のスイッチ用TFTトランジスタTy11がオンになり、画像データに応じた信号により電流制御用TFTトランジスタM11が導通されて有機EL素子L110に、この画像データに応じた発光電流が流れ、発光制御される。このように、画素毎に、薄膜型のEL素子と、前記EL素子の発光制御用の電流制御用TFTトランジスタと、前記電流制御用TFTトランジスタのゲート電極に接続された信号保持用のコンデンサと、前記キャパシタへのデータ書き込み用のスイッチ用のTFTトランジスタ等を有するアクティブマトリクス型EL画像表示装置において、EL素子の発光強度は、信号保持用のキャパシタに蓄積された電圧によって制御された発光電流制御用の非線形素子であるTFTトランジスタに流れる電流で決定される(A66-in 201pi Electroluminescent Display T. P. Brody F. C. Luo et. al IEEE Trans Electron Devices

Vol. ED-22 No. 9 Sep. 1975, P739P749参照)。

【0006】このとき、使用される信号保持用のコンデンサの容量は、微少な選択時間内で画素スイッチTFTトランジスタが十分に電荷を充電できる容量以下であり、また、この画素スイッチTFTトランジスタの非選択時のリーク電流が次の書き込み時間まで失わせる電荷により発生するコンデンサの保持電圧の低下が表示パネルの画像に悪影響を与えない容量以上であることが求められる。

【0007】ところで、アクティブマトリクスの表示装置は、その視認性から拡大投影を行う光学系を用いない場合は、4インチ以上の画角が要求される。

【0008】このサイズの表示面をシリコン単結晶基板上に構成することは、現在の単結晶Si基板の製作技術では1枚の単結晶基板から得られる枚数が非常に少ないため大変コストがかかってしまう。

【0009】そこで、アクティブマトリクスの表示装置では、ガラス基板等の平面基板上に作成した非単結晶Si等の半導体層を用いた薄膜トランジスタ（TFT）を使用することが望ましい。

【0010】ところで、平面基板上に形成される半導体層は大面積のものが比較的容易に成膜できることから、アモルファスSi膜（以下a-Si膜という）を用いることが一般的である。

【0011】しかし、a-Si膜で形成されたTFTは、一方向に定常的に電流を流し続けると、しきい値がドリフトとして電流値が変わり、画質に変動が生ずる。しかも、a-Si膜では移動度が小さいため高速応答でドライブできる電流にも限界があり、またPチャネルの形成が困難なところより、小規模なc-MOS回路の構成さえも困難である。

【0012】そのため、アクティブマトリクス型有機EL画像表示装置の半導体層としては、比較的大面積化が容易でかつ高信頼性で移動度も高く、CMOS回路の形成も可能なPoly-Siを用いることが望ましい。

【0013】ところで、Poly-Si層を用いて形成されたTFTは、そのチャネル中に存在する結晶粒界の数によりトラップ準位密度が変化し、これが特性に影響を与える。そのためチャネル長、又はチャネル幅が結晶の粒径に近づくにつれチャネル中に存在する粒界の数の変動の割合が大きくなる。これはチャネル中のトラップ準位密度の変動割合の増大、ひいてはTFTの特性ばらつきの増大を引き起こす。このTFTの特性ばらつきの増大は表示装置の画質の低下を引き起こすので望ましくない。

【0014】

【発明が解決しようとする課題】本発明の目的は、Poly-Siの粒径による特性のばらつきの影響をなくし、表示面のばらつきを改善することである。

【0015】

【課題を解決するための手段】すなわち、上記目的は以下の構成により達成される。

(1) 表示素子と接続され、これを直接駆動する第2のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の一方の被制御端子と制御端子とを接続する第3のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の他方の被制御端子に駆動信号を与える導通路を形成する第1のスイッチング素子とを有し、選択時に前記第2のスイッチング素子と第3のスイッチング素子とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子に駆動電流に対応した駆動信号を与え、非選択時にこれを第2のスイッチング素子の特性に応じた第2のスイッチング素子の動作電圧として保持して前記表示素子を駆動する駆動電流記憶手段を有する画像表示装置。

(2) 前記表示素子は、電流駆動され、この駆動電流に応じた発光を行う上記(1)の画像表示装置。

(3) 前記駆動信号は、駆動電流に応じた電流信号として与えられ、かつこれを第2のスイッチング素子の被制御端子に与えることにより、そのI/V特性から得られた電圧値を保持する上記(1)または(2)の画像表示装置。

(4) 前記発光素子と接続され、選択信号により禁止状態となり、非選択時に前記発光素子を電源と接続する第4のスイッチング素子を有する上記(1)～(3)のいずれかの画像表示装置。

(5) 前記第1のスイッチング素子と第2のスイッチング素子との間には駆動信号を電圧/電流変換するための容量成分を有し、前記駆動信号は駆動電流に対応した電圧信号として与えられるとともに、前記容量成分によりこの駆動信号を電圧/電流変換して第2のスイッチング素子に与える上記(1)～(4)のいずれかの画像表示装置。

(6) 前記駆動信号は、前記表示素子の駆動電流に対応した増加率を有するのこぎり波状の形である上記

(5)の画像表示装置。

(7) 前記表示素子と電源との間に配置され、選択信号により禁止状態となり、非選択時に表示素子と電源とを接続する第4のスイッチング素子を有する上記(5)または(6)のいずれかの画像表示装置。

【0016】(8) その制御端子が選択線Selに接続されるとともに、被制御端子の一端が表示素子の一端と、第3のスイッチング素子M3の被制御端子の他端と、第2のスイッチング素子M2の被制御端子の一端とに接続され、その被制御端子の他端が駆動信号を与えるビデオ信号線Vidと接続されている第1のスイッチング素子M1と、その制御端子が選択線Selと接続され被制御端子の一端が第2のスイッチング素子M2の制御端子と接続され、その被制御端子の他端が前記第1のスイッチング素子M1の被制御端子の一端と、表示

素子D1の一端と、第2のスイッチング素子M2の被制御端子の一端とに接続されている第3のスイッチング素子M3と、その被制御端子の他端が、接地線Vcomに接続され、その被制御端子の一端が、表示素子D1の一端と、第3のスイッチング素子M3の被制御端子の他端と、第1のスイッチング素子M1の被制御端子の一端とに接続されている第2のスイッチング素子と、その制御電極が選択線Selと接続され、被制御端子の一端が表示素子D1の他端と接続され、その他端は電源線VDと接続されている第4のスイッチング素子M4と、これらのスイッチング素子M1～M4により駆動される表示素子D1とを有する画像表示装置。

【0017】(9) その制御端子が選択線Selに接続されるとともに、被制御端子の一端が容量C1の一端に接続され、その被制御端子の他端は、駆動信号を与えるビデオ信号線Vidと接続されている第1のスイッチング素子M1と、その制御端子が、選択線Selと接続され、被制御端子の他端は、容量C1の他端と、第4のスイッチング素子M4の被制御端子の他端と、第2のスイッチング素子M2の被制御端子の一端と接続され、その被制御端子の一端は、第2のスイッチング素子M2の制御端子と接続されている第3のスイッチング素子M3と、その被制御端子の他端は、電源線VDと接続され、その被制御端子の一端は、第3のスイッチング素子M3の被制御端子の他端と、容量C1の他端と、第4のスイッチング素子M4の被制御端子の他端と接続されている第2のスイッチング素子M2と、その被制御端子の他端は、第3のスイッチング素子M3の被制御端子の他端と、容量C1の他端と、第2のスイッチング素子M2の被制御端子の一端と接続され、その制御電極は、選択線Selと接続され、その被制御端子の一端は、表示素子D1の他端と接続されている第4のスイッチング素子M4と、その一端が、接地線Vcomと接続され、これらのスイッチング素子により駆動される表示素子D1とを有する画像表示装置。

(10) 前記第1のスイッチング素子～第3のスイッチング素子はポリシリコンTFTである上記(1)ないし(9)のいずれかの画像表示装置。

(11) 前記表示素子は、有機EL素子である上記(1)～(10)のいずれかの画像表示装置。

(12) 前記選択線から選択信号を入力している期間にビデオ信号線から駆動信号を入力し、非選択時に表示素子を駆動する上記(1)～(11)のいずれかの画像表示装置。

【0018】なお、特開平10-319908号公報には、アクティブマトリクス有機発光ダイオードを駆動するための回路が記載されている。しかしながら、同公報で開示されている実施例の回路構成では、所望の電流を流そうとした時に必要になるバイアスTFTのゲート電圧を画素外に設けた電流発生回路によってセンスおよび

反転増幅し、これを画素中の容量に再び蓄積している。電流値のセンスにはソースフォロア回路を用いている(請求項2)。

【0019】すなわち、上記公報ではこの画素外に設けた電流発生回路によってセンスおよび反転増幅し、これを画素中の容量に蓄積しているため、書き込み非選択インターバル、書き込み選択インターバル、発光インターバルという複雑なシーケンスが必要になり、そのためのタイミング回路が必要になる。また外部に必要なセンスおよび反転増幅する回路が必要になり、これもコストを上昇させてしまう。また非選択インターバルが必要なことにより発光時間が短くなり、画質を低下させてしまう。

【0020】一方、本願発明では、バイアスTFTのゲートをドレインに接続し、これに所望の電流値を入力する自己バイアス回路を構成する事により、外部のセンスおよび反転増幅回路を省く事が可能である。これによって、実施例1、2、4、5のような構成の場合には、ごくわずかな書き込み時間と非書き込み時間の2つの動作で制御を行うことができる。このことにより、所望の輝度での発光時間を長く取る事を可能にし、高輝度、高画質の表示を可能にしている。

【0021】また、複雑なシーケンスを発生するタイミング回路も省くことを可能にしている。本願の実施例3および6においては、上記公知例と同様な3つの動作態様を必要とするが、センスおよび反転増幅回路を省くことは可能である。

【0022】

【発明の実施の形態】本発明の画像表示装置は、例えば図1に示すように、表示素子D1と接続され、これを直接駆動する第2のスイッチング素子M2と、選択信号Selにより能動状態となり、前記第2のスイッチング素子M2の一方の被制御端子(ドレイン)と制御端子(ゲート)とを接続する第3のスイッチング素子M3と、選択信号Selにより能動状態となり、前記第2のスイッチング素子M2の他方の被制御端子(ドレイン)に駆動信号を与える導通路を形成する第1のスイッチング素子M1とを有し、選択時に前記第2のスイッチング素子M2と第3のスイッチング素子M3とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子M2に駆動電流に対応した駆動信号を与え、非選択時にこれを第2のスイッチング素子M2の特性に応じた第2のスイッチング素子M2の動作電圧として保持して前記表示素子D1を駆動する駆動電流記憶手段を有するものである。

【0023】また、好ましくは前記第1のスイッチング素子M1と第2のスイッチング素子M2との間には駆動信号を保持する容量成分C1を有し、前記駆動信号は駆動電流に対応した電圧信号として与えられるとともに、前記容量成分C1によりこの駆動信号を電圧/電流変換して第2のスイッチング素子M2に与える。

【0024】また、好ましくは前記表示素子D1と電源VDとの間に配置され、選択信号Selにより禁止状態となり、非選択時に表示素子D1と電源VDとを接続する第4のスイッチング素子M4を有する。

【0025】このように、駆動電流に対応した電流信号の駆動信号を、第2のスイッチング素子M2に与え、これをそのI/V特性から得られた電圧値として保持し、かつ非選択時に前記表示素子を駆動する駆動電流記憶手段を有することにより、第2のスイッチング素子M2の特性のバラツキに関係なく、一定の電流で表示素子を駆動することができ、輝度ムラや表示ムラを防止し、高品位で均一な表示が可能となる。

【0026】第2のスイッチング素子M2は、表示素子(通常カソード側)と接地線との間に配置され、所定の電流値で表示素子を駆動する。この第2のスイッチング素子M2は、また第1のスイッチング素子M1と第3のスイッチング素子M3が能動状態となることで、図7に示すように、一方の被制御端子(ドレイン)と制御端子(ゲート)とが接続されたセルフバイアス回路ないし定電流回路が形成され、これに所望の電流ILを流すと、図8に示すようにP点にはスイッチング素子のI/V特性に応じた電圧Vpが現れる。ここで、図8に示すようにスイッチング素子の特性にバラツキがある場合、異なる特性曲線によりILに対応する電圧がVp'のように変動する。ところが保持される電圧は、その特性に応じたVpまたはVp'であり、それぞれに対応する電流値ILは一定なので、保持されたVpまたはVp'により必ず所定の電流ILが流れることになる。

【0027】すなわち、第2のスイッチング素子M2は、第1のスイッチング素子M1と第3のスイッチング素子M3とが禁止状態となることで、P点の電圧Vpを制御端子電圧として保持する。そして、このとき制御端子電圧Vpに応じた電流ILを被制御端子に流そうとするので、表示素子D1は所望の電流ILで駆動されることになる。

【0028】なお、図1に示す例では表示素子D1と電源線VDとの間に、制御端子が選択線Selに接続された第4のスイッチング素子M4が配置されているが、この第4のスイッチング素子M4は非選択時にのみ表示素子D1を駆動するために配置されたもので、選択時には禁止状態となって、電源線VDと表示素子D1とを遮断するものである。

【0029】また、図示例では駆動信号はビデオ信号線Vidから所定の電流信号として与えられる。

【0030】スイッチング素子としては、一般に用いられているバイポーラトランジスタやFET(電界効果トランジスタ)も使用することができるが、特に薄膜トランジスタであって、c-MOSタイプのものが好ましい。

【0031】以下に薄膜トランジスタ(TFT)の一形

態を図を参照しつつ説明する。図9～17は本発明の画像表示装置を構成するTFT、特に有機EL素子の駆動電流を流す発光電流駆動用TFTの製造工程図である。

【0032】(1) 図9に示すように、基板101として例えば石英基板を使用し、この基板101上にスパッタ法により $\text{SiO}_2$ 膜102を約100nmの厚さに成膜する。

【0033】(2) 次いで、図9に示すようにこの $\text{SiO}_2$ 膜102の上にアモルファスSi(a-Si)層103を約100nmの厚さでLPCVD法により成膜する。このとき成膜条件は以下の通りである。

$\text{Si}_2\text{H}_6$ ガス	100～500	SCCM
He ガス	500	SSCM
圧力	0.1～1	Torr
加熱温度	430～500	℃

【0034】(3) 次いで、加熱処理を行い、このa-Si層103を固相成長させてポリシリコンにする。この固相成長の条件は、例えば以下の通りである。

$\text{N}_2$	1	SLM
処理温度	600	℃
処理時間	5～20	時間

0.1%の $\text{PH}_3$ が入った $\text{SiH}_4$  ガス 200SCCM

処理温度 640 ℃

処理時間 0.4 時間

【0038】(7) 次に、図14に示すように、所定のパターンに従ったエッチング工程により、ゲート電極105とゲート酸化膜104とを形成する。

【0039】(8) さらに、図14に示すように、このゲート電極105をマスクとして、ソース、ドレイン領域となるべき部分にイオンドーピング法により、ドーパント107、例えばリンをドーピングしてゲート電極に対してセルフアラインとなるようにソース、ドレイン領域106、109を形成する。

【0040】(9) これらの素子を含む基板を窒素雰囲気中に600℃で6時間処理し、その後、更に850℃で30分間加熱し、ドーパントの活性化を行う。

【0041】(10) さらに、図15に示すように、この基板全体にTEOSを出発材料として、 $\text{SiO}_2$ 膜を層間絶縁膜112として厚さ400nmに形成する。この $\text{SiO}_2$ 膜の成膜条件は、例えば以下の通りである。

TEOSガス 100 SSCM

加熱温度 700 ℃

またはプラズマTEOS法により下記の条件で $\text{SiO}_2$ 膜を成膜する。

TEOSガス 10～50 SCCM

$\text{O}_2$  ガス 500 SCCM

パワー 50～300 W

処理温度 600 ℃

そして、この $\text{SiO}_2$ 膜を形成後、各電極の配線のため、必要とするパターンに従ってバタニングを行い、

次に、

処理温度 850 ℃

処理時間 0.5～3 時間

このようにしてa-Si層103を、図10に示すような活性Si層103aとすることができる。なお、必要によりレーザーアニールを施してもよい。

【0035】(4) 次に、図11に示すように、前記(3)により形成したポリシリコン層103aをアイランドを形成するためバタニングする。

【0036】(5) さらに、図12に示すように、このバタニングしたポリシリコン層103a上にゲート酸化膜104を形成する。このゲート酸化膜104の形成条件は、例えば以下の通りである。

$\text{H}_2$  4 SLM

$\text{O}_2$  10 SCCM

処理温度 800 ℃

処理時間 5 時間

【0037】(6) 次いで、図13に示すように、ゲート酸化膜104の上にゲート電極となるシリコン層105を減圧CVD法により、厚さ250nmに形成する。その成膜条件は、例えば以下の通りである。

層間絶縁膜112等を形成する。

【0042】(11) 前記の如く形成した薄膜トランジスタをさらに水素雰囲気中で350℃で1時間加熱処理し、水素化を行い、半導体層の欠陥単位密度を減少させる。

【0043】(12) 次いで、図15に示すようにドレイン、ソースなどのコンタクトを形成する。コンタクトは、絶縁膜112を開口した箇所で行う。先ず、常圧CVD法により、層間絶縁層として $\text{SiO}_2$ 膜を成膜する。次いで、層間絶縁層をエッチングしてコンタクトホールを形成し、ドレイン、ソース接続部を開口する。

【0044】開口したドレイン、ソース接続部に、それぞれドレイン配線電極113、ソース配線電極114を成膜して、ドレイン、ソース電極と接続する。この場合、ドレイン、ソース電極のいずれか一方が、表示素子(有機EL素子)の第1の電極、または第2の電極として機能するか、これと接続される。図示例ではホール注入電極であるITO(116)と接続される。さらに、ドレイン配線電極113上に絶縁膜115を形成し、同時に画素部分以外を覆うエッジカバーを形成して図15に示すようなスイッチング素子を得る。

【0045】なお、ホール注入電極等、表示素子(有機EL素子)の電極との接続には、例えば図16に示すように配線電極114と、ホール注入電極116との間に両者の接続性を向上させるために、TiN等の接続金属層117を形成するとよい。



【0046】この方法によって得られたTFTを用いて実施例1に示す回路を、各画素毎に構成した。

【0047】この時、各TFTのチャンネル長、チャンネル幅は以下に示すように設計する。

	チャンネル長	チャンネル幅
M1	5 $\mu\text{m}$	15 $\mu\text{m}$
M2	5 $\mu\text{m}$	30 $\mu\text{m}$
M3	20 $\mu\text{m}$	20 $\mu\text{m}$
M4	6 $\mu\text{m}$	15 $\mu\text{m}$

【0048】M1、M2、M4は十分なON/OFF比が得られると共にスイッチング時のノイズを低減させるためにもそのゲート容量は小さい事が望ましい。

【0049】一方、M3は、 $\oplus$  ELに十分な電圧を加え、かつVDS耐圧を持たせるため、 $\oplus$  素子特性のばらつきを軽減させるため、 $\oplus$  M1、M2、M4のスイッチングノイズの影響を小さくするために大きなL/Wを持たせると共にゲート容量を大きくする事が望ましい。

【0050】このようにして形成されたTFTを用いて、以下の各実施例に示す駆動回路を構成した。

【0051】<実施例1>図1は、本発明の画像表示装置の第1の態様を示した回路図である。図において、第1のスイッチング素子M1は、その制御端子（ゲート）が選択線Selに接続されるとともに、被制御端子の一端（ドレイン）が表示素子の一端（カソード）と、第3のスイッチング素子M3の被制御端子の他端（ソース）と、第2のスイッチング素子M2の被制御端子の一端（ドレイン）とに接続されている。また、その被制御端子の他端（ソース）は、駆動信号を与えるビデオ信号線Vidと接続されている。

【0052】また、第3のスイッチング素子M3の制御端子（ゲート）は、選択線Selと接続され、被制御端子の一端（ドレイン）は第2のスイッチング素子M2の制御端子（ゲート）と接続されている。また、その被制御端子の他端（ソース）は、前記第1のスイッチング素子M1の被制御端子の一端（ドレイン）と同様である。前記第2のスイッチング素子の被制御端子の他端（ソース）は、接地線Vcomに接続されている。また、その被制御端子の一端（ドレイン）側は、前記第1のスイッチング素子M1の被制御端子の一端（ドレイン）と同様である。

【0053】また、第4のスイッチング素子M4の制御電極（ゲート）は、選択線Selと接続され、被制御端子の一端（ドレイン）は、表示素子D1の他端（アノード）と接続され、その他端（ソース）は電源線VDと接続されている。

【0054】なお、この例では、第1～第4のスイッチング素子は、c-MOSタイプのTFTにより構成し、それぞれ第1のスイッチング素子M1がNチャンネル、第2のスイッチング素子M2がNチャンネル、第3のスイッチング素子M3がNチャンネル、第4のスイッチン

グ素子M4がPチャンネルとなっている。

【0055】また、電源線VD、および接地線Vcomは表示素子を駆動するために十分な電流を供給しうるものであって、図示しない他の画素（表示素子）や、電源回路と接続されている。選択線Selからは、表示素子（画素）を選択するための信号が与えられる。この例では、画素選択後に表示素子D1が発光する。ビデオ信号線Vidからは、表示素子を駆動するための駆動信号が与えられる。この駆動信号は、表示画素を所望の輝度で発光させるための駆動電流に相当する電流信号として与えられる。この駆動信号により画素が発光し、階調制御や表示色制御が行われる。

【0056】次に、このような構成の回路の動作について説明する。いま、選択線SelをH（ハイレベル）にする事により第1のスイッチング素子M1、第3のスイッチング素子M3をONに、第4のスイッチング素子M4をOFFにする。同時にビデオ信号線Vidより、駆動信号として表示素子（有機EL素子）D1に流したい電流を定電流源によって入力する。

【0057】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3が十分なI<sub>on</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>off</sub>が得られる電位を入力しなければならない。ただし、ビデオ信号線Vidは、いま定電流入力であり、第2のスイッチング素子M2の素子特性によって電位は定まる。本実施例では各電位が以下の様になる。

選択線Sel	10V
ビデオ信号線Vid	最大5V
電源線VD	10V
接地線Vcom	-5V

【0058】この時、第2のスイッチング素子M2と定電流源の負荷特性は図8のaのようになりPの電位はV<sub>p</sub>になる。この時TFTの素子のばらつきより第3のスイッチング素子M3の負荷特性が図8のbとなった時はPの電位はV<sub>p'</sub>となる。

【0059】本実施例で1 $\mu$ Aの電流を流そうとした時、Pの電位は $\sim$ 1V近辺になり素子の特性によって異なる値をもつ。

【0060】次に、選択線SelをL（ロウレベル）にする事により第1のスイッチング素子M1、第3のスイッチング素子M3をOFFに、第4のスイッチング素子M4をONにする。

【0061】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3に十分なI<sub>off</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>on</sub>が得られる電位を入力しなければならない。本実施例では選択線Selを-5Vに変化させた。

【0062】第3のスイッチング素子M3がOFFされ

ることにより、第2のスイッチング素子M2のゲート電位は上記の $V_p$ が保持される。この時の表示素子D1と、第2のスイッチング素子M2の負荷特性から、第2のスイッチング素子M2が飽和領域で動作することとなり、上記で入力された駆動信号の電流値とほぼ同じ電流値が表示素子D1に流れることになる。なおこの時、第4のスイッチング素子M4の抵抗は、表示素子D1、第2のスイッチング素子M2に比べて十分低いので無視することができる。

【0063】このときに流れる電流を決定するのは、上記P点に現れた $V_p$ であり、これは素子のばらつきによって変化はするが必ず上記で入力した駆動信号の電流を第2のスイッチング素子M2に流そうとする。これにより、第2のスイッチング素子M2の特性のばらつきに関係なく一定量の電流値を流すことが可能になり、画質を向上させることができる。

【0064】＜実施例2＞実施例2は実施例1を発展させたものである。対角が4インチ以上の直視型ディスプレイを実現する場合、ビデオ信号線Vidを引き回すこととなるが、これにより寄生容量が付加されてしまう。いまパネルが高解像度になるにつれ、一画素あたりの書き込み時間が短くなる。そして、前述の寄生容量の影響により、各表示素子に流したい電流値をそのまま対象とする表示素子に供給することが困難になる。

【0065】そこで、図2に示すように、容量C1を第1のスイッチング素子M1の被制御端子の一端と、第2のスイッチング素子M2の被制御端子の一端との間に直列に配置する。また、供給する駆動信号も電圧信号とし、これをこの容量C1により電圧/電流変換して電流信号とし、第2のスイッチング素子M2に供給する。この電圧信号は、駆動電流に対応した電圧信号として与えられるが、通常のこぎり波形を発生する電圧源から供給する。なお、電圧/電流変換は、一般に $I = \Delta V \times C$ として与えられる。

【0066】いま、のこぎり波形の電圧の上昇する傾きを $\Delta V_r$  (単位V/S) とすると選択時間にC1を介して第2のスイッチング素子M2に流れる電流は、 $C1 \times \Delta V_r$ となる。

【0067】その他の構成要素は実施例1と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0068】このようにして構成した回路と駆動方法を用いた時、前述の電流値は、電圧波形、好ましくは時間変化により増大する波形であって、具体的にはのこぎり状の波形となるので、ビデオ信号線Vidの寄生容量の影響を受けることなく、第2のスイッチング素子M2に駆動電流を流すことができる。これによってパネルサイズを大きくすることができ、大画面のディスプレイにも対応することができるとともに、高解像度になっても求める電流値を各表示素子に入力することができる。

【0069】＜実施例3＞実施例3は実施例2を発展させたものである。高解像度になるほど各画素の面積は小さくなり画素中に占めるTFT等の回路部品の割合が大きくなってしまう。そこで、図3に示すように、表示素子側に配した選択TFT、すなわち第4のスイッチング素子M4を廃し、表示素子D1の他端(アノード)を直接電源線VDに接続する。そして、選択時間の間、電源VDの電位をP点の電位より低く保ち、これによって表示素子、特に有機EL素子の有するダイオード特性により実施例1の第4のスイッチング素子M4のOFF状態と同じ状態を作る。つまり、表示素子、特に有機EL素子には逆バイアスがかかっているため、電流を流さない状態をつくりP点の電位を実施例1の選択時と同様に決定する事ができる。

【0070】その他の構成要素は実施例2と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0071】＜実施例4＞実施例4は実施例2を発展させたものである。高解像度になる程、第1のスイッチング素子M1、第4のスイッチング素子M4、第3のスイッチング素子M3は高速でスイッチングする必要が生じる。そして、それによるスイッチングノイズの影響が大きくなる。そこで、図4に示すように、第2のスイッチング素子M2の制御電極と被制御電極の他端間(ゲートソース間)に容量C2を付加し、スイッチングノイズの影響を小さくさせる。これによって高解像度でも正確に求める電流を表示素子(有機EL素子)に流すことができるようになる。

【0072】なお、スイッチングノイズの低減には第1のスイッチング素子M1、第4のスイッチング素子M4、第3のスイッチング素子M3のTFTスイッチをc-MOSで形成された、トランスファージゲートに変更することも有効である。この場合、スイッチとしての供給能力を高めることができると同時に、相反する制御信号がトランスファージゲートを構成するスイッチング素子(TFT)に供給されるため、スイッチングノイズを打ち消し合うことができる。

【0073】その他の構成要素は実施例2と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0074】＜実施例5＞実施例5は実施例2を発展させたものである。表示素子として好ましく用いられる有機EL素子は、陰極に用いられる材料がフォトリソ等ウェットプロセスに晒されると劣化し効率が低下しやすい。そこで、図5に示すように、回路の構成を本実施例に示すように変更することにより、有機EL素子の陰電極を共通化し、分離を不要にしてウェットプロセスによるダメージを与えないようにする。これにより、高効率の有機EL素子を有効に利用することができる。

【0075】図において、第1のスイッチング素子M1



は、その制御端子（ゲート）が選択線Selに接続されるとともに、被制御端子の一端（ドレイン）は容量C1の一端に接続され、その被制御端子の他端（ソース）は、駆動信号を与えるビデオ信号線Vidと接続されている。

【0076】また、第3のスイッチング素子M3の制御端子（ゲート）は、選択線Selと接続され、被制御端子の他端（ソース）は、容量C1の他端と、第4のスイッチング素子M4の被制御端子の他端（ソース）と、第2のスイッチング素子M2の被制御端子の一端（ドレイン）と接続されている。また、その被制御端子の一端（ドレイン）は、第2のスイッチング素子M2の制御端子（ゲート）と接続されている。

【0077】前記第2のスイッチング素子M2の被制御端子の他端（ソース）は、電源線VDと接続され、その被制御端子の一端（ドレイン）は、前記第3のスイッチング素子M3の被制御端子の他端（ソース）と同様である。

【0078】また、第4のスイッチング素子M4の制御電極（ゲート）は、選択線Selと接続され、被制御端子の一端（ドレイン）は、表示素子D1の他端（アノード）と接続され、その他端（ソース）は、前記第3のスイッチング素子M3の被制御端子の他端（ソース）と同様である。そして、表示素子D1の一端（カソード）は、接地線Vcomと接続されている。

【0079】次に、このような構成の回路の動作について説明する。いま、選択線SelをHにする事により第1のスイッチング素子M1、第3のスイッチング素子M3をONに、第4のスイッチング素子M4をOFFにする。同時にビデオ信号線Vidより、駆動信号として表示素子（有機EL素子）D1に流したい電流をに対応した電圧信号を、実施例2と同様に入力する。この場合、信号の向きは上記実施例2とは逆、すなわちマイナス側となる。

【0080】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3が十分なI<sub>on</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>off</sub>が得られる電位を入力しなければならない。ただし、ビデオ信号線Vidは、いま定電流入力であり、第2のスイッチング素子M2の素子特性によって電位は定まる。本実施例では各電位が以下の様になる。

選択線Sel	10V
ビデオ信号線Vid	最小0V
電源線VD	10V
接地線Vcom	-5V

【0081】次に、選択線SelをLにする事により第1のスイッチング素子M1、第3のスイッチング素子M3をOFFに、第4のスイッチング素子M4をONにする。

【0082】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3に十分なI<sub>off</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>on</sub>が得られる電位を入力しなければならない。本実施例では選択線Selを0Vに変化させた。

【0083】第3のスイッチング素子M3がOFFされることにより、第2のスイッチング素子M2のゲート電位は実施例2と同様にV<sub>p</sub>が保持される。この時の表示素子D1と、第2のスイッチング素子M2の負荷特性から、第2のスイッチング素子M2が飽和領域で動作することとなり、上記で入力された駆動信号に対応した電流値とほぼ同じ電流値が表示素子D1に流れることになる。

【0084】＜実施例6＞実施例6は実施例5を発展させたものである。図6に示すように、実施例3と同様に第4のスイッチング素子M4、つまりTFTを1つ減らすことにより回路部品が画素に占める面積を減らすことができる。この時、実施例3と同様に、選択間Vcomの値を制御し、表示素子、特に有機EL素子を逆バイアス状態にする。

【0085】その他の構成要素は実施例5と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0086】

【発明の効果】以上のように、本発明によれば、Poly-Siの粒径による特性のばらつきの影響をなくし、表示面のばらつきを改善することができる。

【図面の簡単な説明】

【図1】本発明の画像表示装置の第1の態様を示した回路図である。

【図2】本発明の画像表示装置の第2の態様を示した回路図である。

【図3】本発明の画像表示装置の第3の態様を示した回路図である。

【図4】本発明の画像表示装置の第4の態様を示した回路図である。

【図5】本発明の画像表示装置の第5の態様を示した回路図である。

【図6】本発明の画像表示装置の第6の態様を示した回路図である。

【図7】第3のスイッチング素子の動作を説明する等価回路図である。

【図8】第3のスイッチング素子のI/V特性を示したグラフである。

【図9】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図10】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図11】本発明の画像表示装置を構成するTFTの、

一製造工程を示した概略断面図である。

【図12】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図13】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図14】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図15】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図16】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図17】従来のアクティブマトリクス型の有機EL表示装置の一例を示したブロック構成図である。

【図18】図17のA部を拡大した回路図である。

【符号の説明】

M1 第1のスイッチング素子

M2 第2のスイッチング素子

M3 第3のスイッチング素子

M4 第4のスイッチング素子

D1 表示素子

C1, C2 容量

Vid ビデオ信号線

Sel 選択線

VD 電源線

Vcom 接地線

101 基板

102 シリコン酸化膜

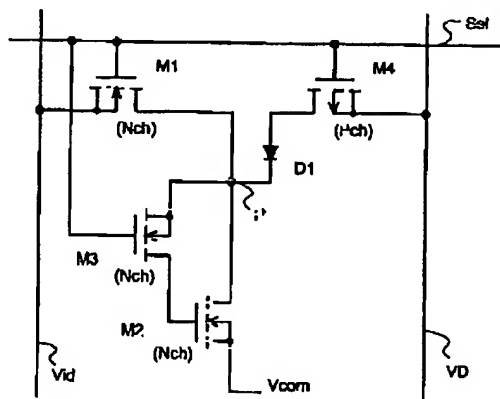
103 アモルファスシリコン層

103a 活性層

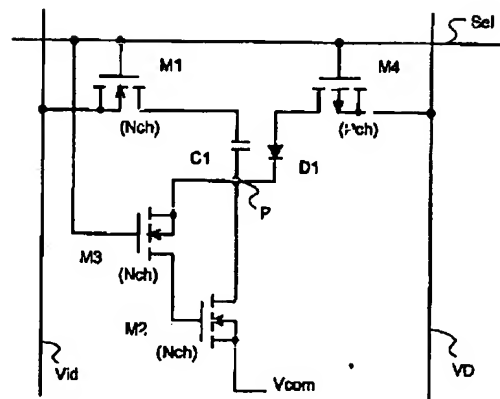
104 ゲート酸化膜

105 ゲート電極

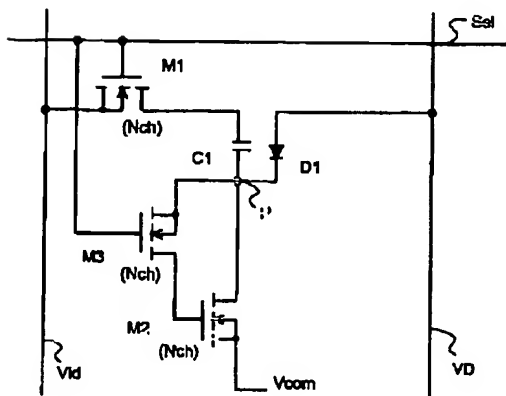
【図1】



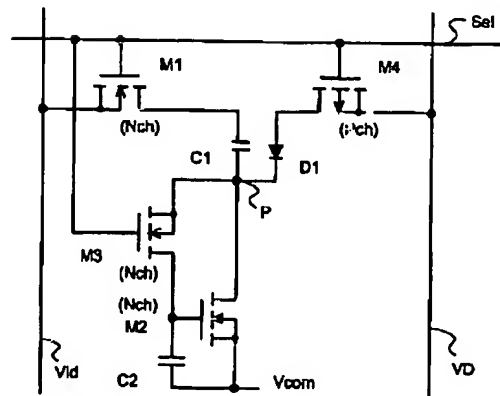
【図2】



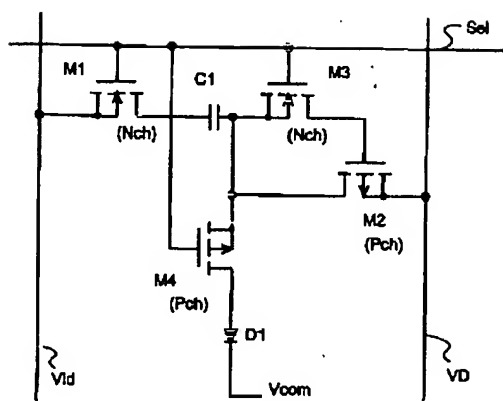
【図3】



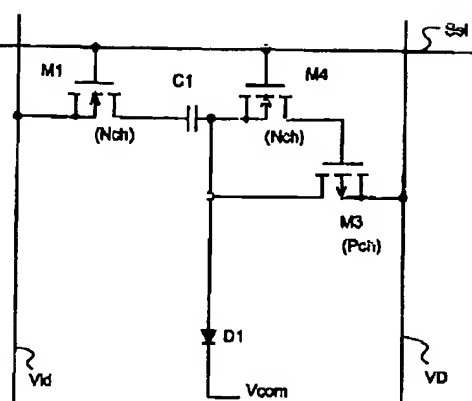
【図4】



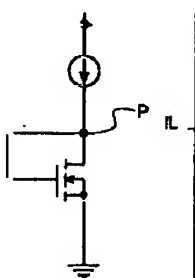
【図5】



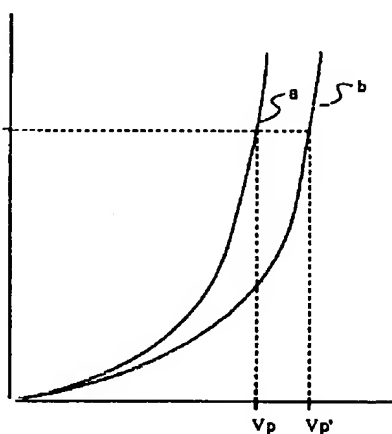
【図6】



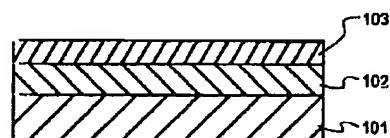
【図7】



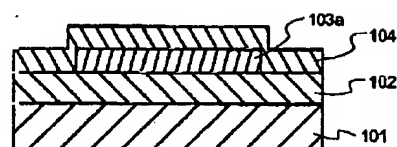
【図8】



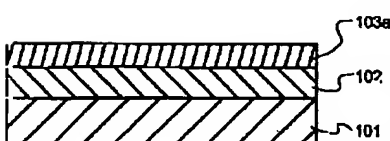
【图9】



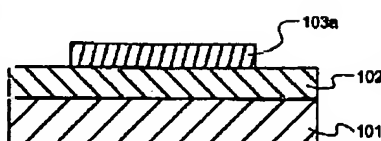
【图12】



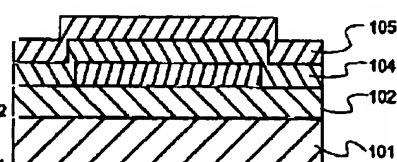
【図10】



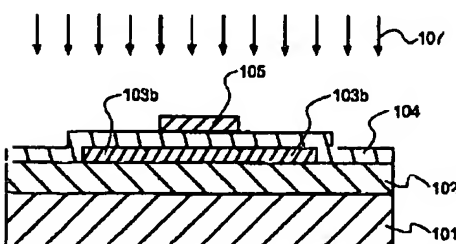
【例 11】



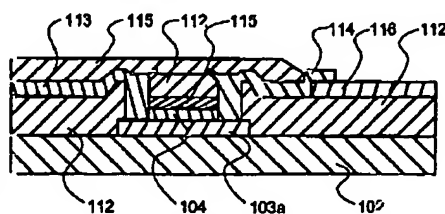
【图13】



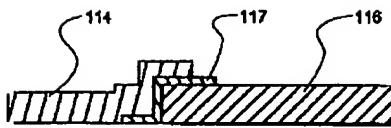
【図14】



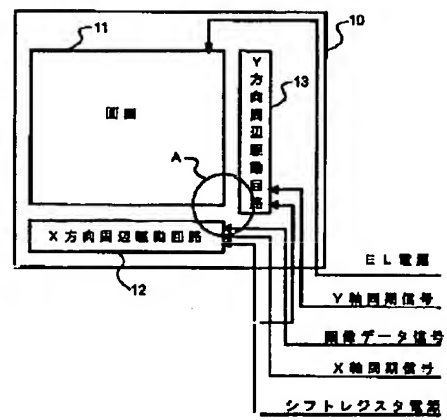
【図15】



【図16】



【図17】



【図18】

